

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-067044

(43)Date of publication of application : 11.03.1994

(51)Int.Cl.

G02B 6/12  
H04B 10/02  
// H05K 1/02

(21)Application number : 04-243997

(71)Applicant : FURUKAWA ELECTRIC CO LTD:THE

(22)Date of filing : 21.08.1992

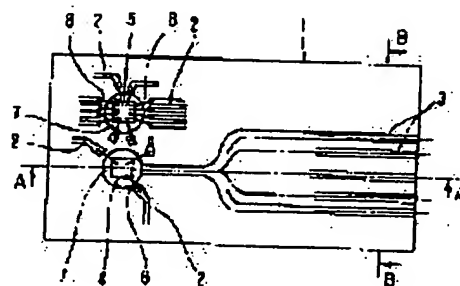
(72)Inventor : YAMAMOTO ICHIRO  
AMANO TOSHIKI  
NISHIBASHI ATSUSHI

## (54) OPTICAL CIRCUIT AND ELECTRIC CIRCUIT MIXED SUBSTRATE

### (57)Abstract:

**PURPOSE:** To obtain the optical circuit and electric circuit mixed substrate which facilitates size reduction, high-speed processing of light signals, and variation in light signal wavelength and is superior in economy by mounting respective functional elements on the substrate in a bare chip state.

**CONSTITUTION:** An electric circuit 2 and an optical circuit 3 are formed on the surface of a semiconductor substrate 1 such as a Si substrate and a light emitting element such as an LED (or light receiving element such as a PD) and a communication control element 5 are mounted in a bare chip state. The electric circuit 2 is formed of aluminum wiring, etc., formed in specific pattern by, for example, a lift-off. The optical circuit 3, on the other hand, is formed by forming grooves in, for example, the substrate 1 by etching, etc., and embedding an organic material such as polyimide in the grooves by spin coating, etc. Further, the light emitting element 3 and communication control element 5 are fixed in a recessed part 7 formed at a specific position on the substrate 1 and the electrodes of the light emitting element 4 and communication control element 5 and the electric circuit 2 are connected with a bonding wire (or TAB lead) 8.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-67044

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 B 6/12		B 9018-2K		
H 0 4 B 10/02				
// H 0 5 K 1/02		T 7047-4E		
		8220-5K	H 0 4 B 9/ 00	W

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平4-243997

(22)出願日 平成4年(1992)8月21日

(71)出願人 000005290

古河電気工業株式会社  
東京都千代田区丸の内2丁目6番1号

(72)発明者 山本 一郎  
東京都千代田区丸の内2丁目6番1号 古  
河電気工業株式会社内

(72)発明者 天野 俊昭  
東京都千代田区丸の内2丁目6番1号 古  
河電気工業株式会社内

(72)発明者 西橋 淳  
東京都千代田区丸の内2丁目6番1号 古  
河電気工業株式会社内

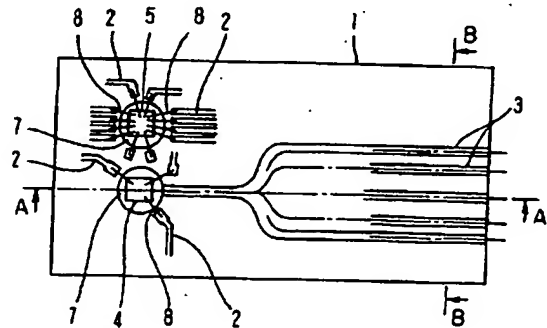
(74)代理人 弁理士 若林 広志

(54)【発明の名称】 光回路・電気回路混載基板

(57)【要約】

【構成】 半導体基板1上にアルミ配線等からなる電気回路2とポリイミド等からなる光回路3を形成する。基板1の所定位置に発光素子(または受光素子)4と通信制御素子5をベアチップの状態を搭載する。

【効果】 各機能素子をベアチップの状態で基板に搭載するため、信号線長が短くなり、小型化できると共に、光信号の通信速度の上限を上げることができる。光信号波長の変更に対しては、発光素子または受光素子の交換で容易に対応できる。各機能素子は予め選別できるため、製品としての歩留りが高く、コスト安である。



## 【特許請求の範囲】

【請求項1】電気回路を形成した基板上に有機材料により光回路を形成し、所定位置に発光素子、受光素子および通信制御素子などの機能素子をベアチップの状態を搭載したことを特徴とする光回路・電気回路混載基板。

【請求項2】有機材料により光回路を形成した基板上に、低誘電率でかつ光回路の材料より低屈折率の有機材料からなる被覆層を形成し、この被覆層の上に電気回路を形成し、所定位置に発光素子、受光素子および通信制御素子などの機能素子をベアチップの状態を搭載したことを特徴とする光回路・電気回路混載基板。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、光CATV等の光通信システムにおいて、加入者側へ送る信号（TV画像情報等）または加入者側から送られる信号（チャンネル選択信号等）を途中で電気信号に変換し、増幅する装置等を使用される光回路・電気回路混載基板に関するものである。

## 【0002】

【従来の技術】従来、この種の装置には次のようなモジュールが使用されている。

(a) O/EまたはE/O変換部、電気信号増幅部、光分岐・合流部がそれぞれ部品で構成され、これらの部品をパッケージングされた通信制御素子と一緒に基板に実装したモジュール。

(b)  $\text{LiNbO}_3$ 等の無機材料で形成された光導波路と発光素子または受光素子とを接続したものが1つのユニットとして構成され、このユニットを通信制御素子と一緒に基板に実装したモジュール。

(c) GaAs等の半導体基板に、発光素子または受光素子、通信制御素子、光導波路を形成したモノリシックLSIのモジュール。

## 【0003】

【発明が解決しようとする課題】(a)および(b)は各種部品を組み合わせるため、小型化が難しく、また光信号の高速化にあたり、各部品をつなぐ信号線長が長くなるため、信号処理速度に限界が生じる。(c)はモノリシックLSIとなるため、製品歩留りが各機能素子

(発光素子または受光素子、通信制御素子)および光導波路の歩留りの掛算となり、経済性に欠け、また光信号波長の変更も容易ではない。

## 【0004】

【課題を解決するための手段】本発明は、上記のような課題に鑑み、小型化、光信号の高速処理化、光信号波長の変更が容易で、経済性に優れた光回路・電気回路混載基板を提供するもので、第一の構成は、電気回路を形成した基板上に有機材料により光回路を形成し、所定位置に発光素子、受光素子および通信制御素子などの機能素子をベアチップの状態を搭載したことを特徴とする。

【0005】また第二の構成は、有機材料により光回路を形成した基板上に、低誘電率でかつ光回路の材料より低屈折率の有機材料からなる被覆層を形成し、この被覆層の上に電気回路を形成し、所定位置に発光素子、受光素子および通信制御素子などの機能素子をベアチップの状態を搭載したことを特徴とする。

## 【0006】

【作用】本発明においては、各機能素子（発光素子または受光素子、通信制御素子）をベアチップの状態で基板10に搭載するため、信号線長が短くなり、小型化が達成でき、同時に光信号の通信速度の上限が広がる。特に第二の構成では、電気回路が低誘電率の被覆層の上に形成されるため、信号遅延が著しく改善される。また光信号波長の変更には、発光素子または受光素子の交換で容易に対応できる。さらに各機能素子は予め選別できるため、製品としての歩留りは高く、経済性に優れる。

## 【0007】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。図1ないし図3は請求項1に対応する本発明の一実施例を示す。図において、1はSi基板等の半導体基板で、その表面には電気回路2および光回路3が形成され、かつLED等の発光素子（またはPD等の受光素子）4および通信制御素子5がベアチップの状態を搭載されている。

【0008】電気回路2は例えばリフトオフにより所定パターンに形成されたアルミ配線等からなる。また光回路3は例えば基板1にエッチング等により溝6（図3参照）を形成し、その溝6にポリイミド等の有機材料をスピンコート等の手段により埋め込むことにより形成される。さらに発光素子4および通信制御素子5は基板1の所定位置に形成した凹部7内に固定され、これらの素子4、5の電極と電気回路2はボンディングワイヤ（またはTABリード）8により接続される。

【0009】なお上記実施例では光回路3を基板1の溝3内に形成したが、光回路3は図4に示すように基板1の表面から突出するように形成することもできる。この場合は光回路3を覆うように光回路3の材料より低屈折率の有機材料（ポリイミド等）からなる被覆層9を設けることが望ましい。

【0010】また発光素子（または受光素子）や通信制御素子の発熱が大きい場合は、図5に示すように基板1に穴11を明け、その穴11の中で発光素子4および通信制御素子（図示せず）を固定支持するヒートシンク12を設けるとよい。ヒートシンク12は接着剤または半田13により基板1の裏面に固定される。

【0011】次に図6ないし図8は請求項2に対応する本発明の他の実施例を示す。この光回路・電気回路混載基板は、Si基板等の半導体基板1上にフォトリソグラフィ技術によりポリイミド等の有機材料からなる光回路3を形成し、その上に、低誘電率でかつ光回路3の材料

より低屈折率の有機材料（ポリイミド等）からなる被覆層9を形成し、この被覆層9の上に電気回路2を形成し、さらに基板1の所定位置に発光素子（または受光素子）4および通信制御素子5をベアチップの状態を搭載したものである。

【0012】電気回路2は前記実施例と同様、例えばリフトオフにより所定パターンに形成されたアルミ配線等からなる。また発光素子4および受光素子5も前記実施例と同様、基板1の所定位置に形成した凹部7内に固定され、これらの素子4、5の電極と電気回路2はボンディングワイヤ8により接続される。

【0013】また発光素子（または受光素子）や通信制御素子の発熱が大きい場合は、図9に示すように基板1に穴11を明け、その穴11の中で発光素子4および通信制御素子（図示せず）を固定支持するヒートシンク12を設けるとよい。ヒートシンク12は接着剤または半田13により基板1の裏面に固定される。

【0014】

【発明の効果】以上説明したように本発明に係る光回路・電気回路混載基板は、各機能素子をベアチップの状態では基板に搭載するため、信号線長が短くなり、小型化できると共に、光信号の通信速度の上限を上げることができる。また光信号波長の変更に対しては、発光素子または受光素子の交換で容易に対応できる。さらに各機能素子は予め選別できるため、製品としての歩留りが高く、

コスト安である。

【図面の簡単な説明】

【図1】 本発明に係る光回路・電気回路混載基板の一実施例を示す平面図。

【図2】 図1のA-A線における縦断面図。

【図3】 図1のB-B線における横断面図。

【図4】 本発明の他の実施例を示す横断面図。

【図5】 本発明のさらに他の実施例を示す縦断面図。

【図6】 本発明のさらに他の実施例を示す平面図。

【図7】 図6のC-C線における縦断面図。

【図8】 図6のD-D線における横断面図。

【図9】 本発明のさらに他の実施例を示す縦断面図。

【選択図】

1：半導体基板

2：電気回路

3：光回路

4：発光素子（または受光素子）

5：通信制御素子

6：溝

7：凹部

8：ボンディングワイヤ

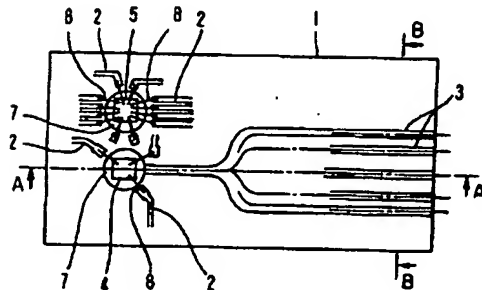
9：被覆層

11：穴

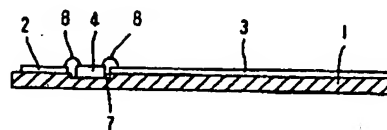
12：ヒートシンク

13：接着剤または半田

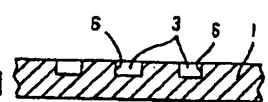
【図1】



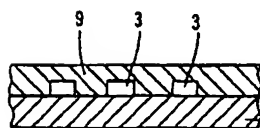
【図2】



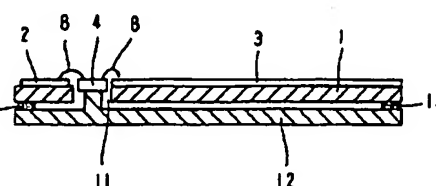
【図3】



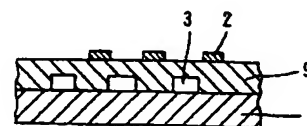
【図4】



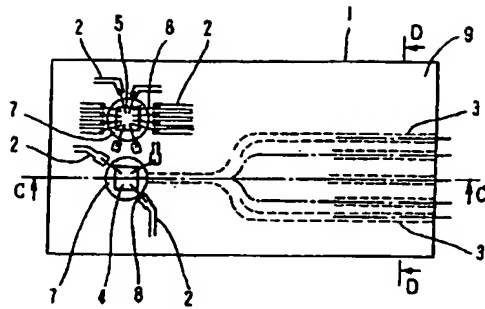
【図5】



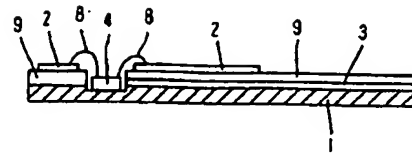
【図8】



【図6】



【図7】



【図9】

